

## PLL CIRCUIT

Patent Number: JP2000049597  
Publication date: 2000-02-18  
Inventor(s): KUNISHI MASATOSHI  
Applicant(s): ASAHI CHEM IND CO LTD  
Requested Patent: ☐ JP2000049597  
Application Number: JP19980214643 19980729  
Priority Number(s):  
IPC Classification: H03L7/099  
EC Classification:  
Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To make it possible to set the sensitivity of an oscillation means low and to improve phase noise characteristics by supplying an input signal to the oscillation means according to the phase difference detection signal from a phase difference detecting means which detects the phase difference from the phase of a reference signal and controlling the quantity of current supplied to the oscillation means so that the oscillation frequency of the oscillation means matches a lock range.

**SOLUTION:** This PLL synthesizer uses a phase frequency detector 9 and a charge pump circuit 10 similar to conventional ones and a calibration control circuit 12 is newly added which optimizes the current flowing to a voltage-controlled oscillator VCO 11. The calibration control circuit 12 has a monitor circuit which inputs the output (UP, DW) of a PDF 9 and generates data for adjusting the quantity of the current flowing to a gm cell 11A and an ICO 11B according to the monitor value, and increases or decreases the frequency of the VCO 11 by adjusting the quantity of the current flowing to the gm cell 11A and ICO 11B.

Data supplied from the esp@cenet database - 12

BEST AVAILABLE COPY

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-49597

(P2000-49597A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl.

H03L 7/099

識別記号

F I

H03L 7/08

サーチト (参考)

F 5 J 0 6 0

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号

特願平10-214643

(22) 出願日

平成10年7月29日 (1998.7.29)

(71) 出願人 000000033

旭化成工業株式会社

大阪府大阪市北区堂島浜1丁目2番6号

(72) 発明者 國司 昌利

静岡県富士市駿島2番地の1 旭化成工業

株式会社内

(74) 代理人 100077481

弁理士 谷 義一

Fターム (参考) 5J060 AA04 BB01 BB10 CC01 CC21

CC38 CC41 CC52 DD32 GG01

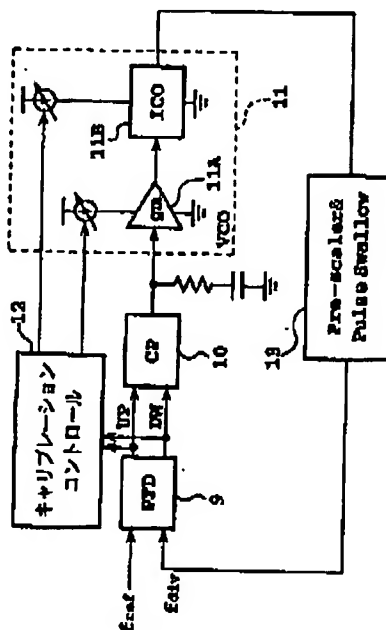
HH03 KK08 KK25

(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】 キャリブレーション機能を持つPLL回路を提供する。

【解決手段】 ICO11Bの発振周波数を決める電流をキャリブレーション回路12でキャリブレーションすることによって、ロックレンジ内にICO11Bの発振周波数を設定する。VCO11のゲインを低く設定することができるので位相ノイズを低くすることが可能となる。



(2) 開2000-49597 (P2000-495WL)

## 【特許請求の範囲】

【請求項1】 入力信号にตอบสนองして発信周波数を変化させる発振手段と、該発振手段から出力した信号の位相と、基準信号の位相との位相差を検出する位相差検出手段と、該位相差検出手段からの位相差検出信号に基づいて前記発振手段に供給する入力信号を生成する手段と、前記発振手段の発振周波数がロックレンジに適合するように当該発振手段に供給する電流量を制御する電流制御手段とを具備することを特徴とするPLL回路。

【請求項2】 請求項1において、前記発振手段は、前記電流制御手段によって制御される電流量に応じて発振周波数レンジを決定する周波数レンジ決定手段を有することを特徴とするPLL回路。

【請求項3】 請求項1において、前記電流制御手段は、前記位相差検出手段からの信号に基づいて動作する可変電流源を有することを特徴とするPLL回路。

【請求項4】 請求項2において、前記電流制御手段は、前記発振器への電流量を制御してロックレンジの上限と下限を設定する手段をさらに有することを特徴とするPLL回路。

【請求項5】 請求項1において、前記電流制御手段は、オープンループ状態で電流量制御を実行することを特徴とするPLL回路。

【請求項6】 請求項5において、前記電流制御手段が、オープンループ状態で電流量制御を実行する際に、前記生成手段の出力がオープンになり、前記発振手段への入力値が内部の一定電位になることを特徴とするPLL回路。

【請求項7】 請求項4において、前記設定手段は、基準周波数固定のままでロックレンジの上限と下限を設定することを特徴とするPLL回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術的分野】 本発明は例えば携帯電話等の無線通信機器（移動体通信機器）に用いられるPLL回路に関するものである。

【0002】

【従来の技術】 携帯電話等の移動体通信機器にはPLLシンセサイザが多く用いられている。このPLLシンセサイザは広い周波数範囲にわたって速くロックすることと、良好な通話品質を得るために位相ノイズを低くすることを同時に満たさなくてはならない。

【0003】 図1はシンセサイザの基本構成を示してある。PLLシンセサイザは電圧制御発振器（以下、VCOと呼ぶ）1からの出力を比較分周器2で分周した信号の位相と、基準信号を基準分周器3で分周した信号の位相との位相差を位相比較器4で検出し、当該位相差に基づく信号をチャージポンプ回路5が出力し、その出力をループフィルタ6でフィルタリングしてVCO1を駆動

する。PLLシンセサイザはこのような動作を繰り返して、VCO1の出力である比較信号の周波数と位相が基準信号にロックしていく。なお、VCO1の代わりに電流制御発振器（以下、ICOと呼ぶ）を用いることもできる。

【0004】 図2は通常使用される位相比較器である。この回路は2つの信号の周波数、すなわち基準信号Refの周波数 $f_{Ref}$ と、比較信号Slvの周波数 $f_{Slv}$ とを比較するものでRef、Slvの立ち下がりエッジにตอบสนองして動作する。NPDは、位相比較器の初期状態を決定するためのリセット信号である。具体的には  $f_{Ref} > f_{Slv}$  の時  $UP=H$ ,  $DW=L$ ,  $f_{Ref} < f_{Slv}$  の時  $UP=L$ ,  $DW=H$ ,  $f_{Ref} = f_{Slv}$  の時  $UP=L$ ,  $DW=L$ ,  $OCK=H$  となる。動作タイミングを図3に示す。

【0005】 このUP/DW信号が例えば図4に示すチャージポンプ回路5を駆動する。つまり  $UP=H$  の時、FETMp1 がオンしてループフィルタ6へ電荷を供給し、 $DW=H$  の時、FETMp1 がオンしてループフィルタ6の電荷を引き抜くという動作をする。このチャージポンプ回路5の出力がループフィルタ6で平滑化されてVCO1に入力され、VCO1を基準信号周波数に追従させる働きをする。なお図5に図4の構成のロック時のタイミングを示す。

【0006】

【発明が解決しようとする課題】 PLLが基準信号にロックするためには、VCOの発振周波数のレンジ内に基準信号の周波数がある必要がある。この発振周波数のレンジは、製造プロセスの変動で大きく変わってしまう。全ての条件で発振周波数のレンジ内に基準信号の周波数を入れるためには、VCOの電圧感度を上げて発振周波数のレンジを広くとる必要がある。

【0007】 しかし感度を上げるによりVCOはノイズの影響を受けやすくなり、その結果位相ノイズ特性が悪くなるという欠点をもっている。

【0008】 そこで本発明の目的は、以上のような問題を解消したPLL回路を提供することにある。

【0009】

【課題を解決するための手段】 上記目的を達成するため、請求項1の発明は、入力信号にตอบสนองして発信周波数を変化させる発振手段と、該発振手段から出力した信号の位相と、基準信号の位相との位相差を検出する位相差検出手段と、該位相差検出手段からの位相差検出信号に基づいて前記発振手段に供給する入力信号を生成する手段と、前記発振手段の発振周波数がロックレンジに適合するように当該発振手段に供給する電流量を制御する電流制御手段とを具備することを特徴とする。

【0010】 また請求項2の発明は、請求項1において、前記発振手段は、前記電流制御手段によって制御される電流量に応じて発振周波数レンジを決定する周波数

(3) 開2000-49597 (P2000-495WL)

レンジ決定手段を有することを特徴とする。

【0011】さらに請求項3の発明は、請求項1において、前記電流制御手段は、前記位相差検出手段からの信号に基づいて動作する可変電流源を有することを特徴とする。

【0012】さらに請求項4の発明は、請求項2において、前記電流制御手段は、前記発振器への電流量を制御してロックレンジの上限と下限を設定する手段をさらに有することを特徴とする。

【0013】さらに請求項5の発明は、請求項1において、前記電流制御手段は、オープンループ状態で電流量制御を実行することを特徴とする。

【0014】さらに請求項6の発明は、請求項5において、前記電流制御手段が、オープンループ状態で電流量制御を実行する際に、前記生成手段の出力がオープンになり、前記発振手段への入力が入力の一定電位になることを特徴とする。

【0015】さらに請求項7の発明は、請求項4において、前記設定手段は、基準周波数固定のままでロックレンジの上限と下限を設定することを特徴とする。

【0016】

【発明の実施の形態】本発明によれば、たとえば、分周器、ループフィルタ、VCO（またはICO）は変更せずに、VCOの中心周波数をPLLのロックレンジの中心にあわせることができる回路を付加することにより、VCOの感度を低く設定することができる。本発明によると位相ノイズ特性は悪化せずに、PLLシンセサイザの位相ノイズ特性は向上することになる。以下の説明では特にLSIに内蔵するVCO（またはICO）の中心周波数をあわせる適用例について述べる。分周器、ループフィルタ、チャージポンプの詳細な説明は他の文献に譲ることとする（たとえば、Frequency Synthesizer Design Handbook; James A. Crawford, 1994）。

【0017】以下、本発明の実施の形態を詳細に説明する。

【0018】VCO（またはICO）は送信または受信のPLLシンセサイザの構成要素として一般的に使用されるが、これは本発明の適用範囲内である。

【0019】発振器（VCOまたはICO）の周波数は、発振器の形態によらず、発振器に供給される電流と発振器のもつ容量で決まる。この容量が製造プロセスで変動するため、設計値通りの電流を供給していたとしても、発振周波数が大きく変動することになる。特にリングオシレータ方式をとる場合、寄生容量を充放電することで発振周波数が決まっているので、寄生容量の変動を直接受け周波数変動幅は大きなものになる。

【0020】この様な変動を抑えるために、PLLシンセサイザを起動する際に周波数キャリブレーションしてから通常動作に入るようにする。周波数キャリブレーションとは基準信号周波数にあうように発振器の周波数を

決める電流（または電圧）を調整することを意味する。周波数キャリブレーション中はPLLシンセサイザをオープンループ動作にする。具体的にはループフィルタ出力を開放状態にし、発振器への入力はIC内部電位を与える、という構成にする。このようにすると発振器へ供給する電流を変えることで発振器の周波数の調整を容易に行うことができる。

【0021】（実施例1）本発明のPLLシンセサイザの構成例を図8に示す。位相周波数検出器（PFD）9の構成は図2に示す回路と同じである。チャージポンプ（CP）回路10の構成は図4と同じである。また位相周波数検出器9とチャージポンプ回路10との接続は図4と同じである。VCO11は、gmセル11Aと、ICO11Bとから構成されている。図8は位相周波数検出器9とチャージポンプ回路10として従来と同様の回路を使用し、VCOに流れる電流を最適化するキャリブレーションコントロール回路12を新たに付加していることが特徴である。13は分周器であって、VCO11の出力を分周して位相周波数検出器9に供給する。

【0022】キャリブレーションコントロール回路12の具体例を図9に示す。キャリブレーションコントロール回路12は、PFD9の出力（UP、DW）を入力し、そのモニタ値に基づいてgmセル11A及びICO11Bに流れる電流量を調整するためのデータを生成するモニタ回路32を有し、gmセル11A及びICO11Bに流れる電流量を調整することによってVCOの周波数は増減することになる。すなわち、シリアルインタフェース14によって、モニタ回路32からのレジスタ15にgmセル11AおよびICO11Bに流すべき電流を決定するデータ（SDATA）を書き込み、レジスタ15の出力によって、gmセル11AおよびICO11Bに各々複数接続された電流源11C、11Dをオン、オフする回路である。電流源11C、11Dは2のべき乗で重み付けされている。すなわち制御ビット数が（n+1）で状態が

【0023】

【数1】 $(MSB, MSB-1, \dots, 2, 1, LSB) = (H, H, \dots, L, H, L)$

である場合、VCOに供給される電流は

【0024】

【数2】 $I_{VCO} = I * 2^n + I * 2^{(n-1)} + \dots + I * 2^1$

となる。

【0025】この回路で以下に述べるようにして周波数キャリブレーションを行うことによって、電流値を最適にして、VCOの発振周波数やゲインを設定することができる。なお図10にgmセルの例を、さらに図11にICOの例を示す。図10の（A）は、gmセルの具体的回路の一例を示すものであって、5個のFET16A～16Eと、電流源17とから構成されている。図10の

## (4) 開2000-49597 (P2000-495WL)

(B) はこのような構成の gmセルの特性を示す図である。図11の(A)はマルチバイブレータタイプのIC Oの例を示すものであって、4個のFET18A~18Dと、2個のオペアンプ19A、19Bと、2個のノアゲート20A、20Bと、2個のナンドゲート21A、21Bと、電流源22と、コンデンサ23とから構成されている。発振周波数は、電流源22に流れる電流をIとし、コンデンサ23の容量をCとすると、 $I/C$ で決定される。図11の(B)はリングオシレータタイプのIC Oの例を示すものであって、一対のFET24A、24Bと一対の電流源25A、25Bとからなる組み合わせ回路をn個接続したものである。Ctは寄生容量の総和である。一対の電流源25A、25Bに各々流れる電流をIp、Inとすると、発振周波数は、 $I_p/C_t$ 、 $I_n/C_t$ で決定される。

【0026】周波数キャリブレーションの動作フローを図6の周波数キャリブレーションのプロチャートを参照して以下に説明する。

【0027】(1)電源投入またはリセット解除する(ステップ(S)1)。

【0028】(2)初期状態からキャリブレーションスタートする。 $I=I_0$  (S2)。

【0029】(3)PFD(位相周波数検出器)のUP/DW信号をモニタする(S3)。

【0030】(4)S4で、PFDのUP/DW信号のNサイクルをモニタした結果、LOCK=Lで、かつUP=Hならば、ICOへ供給する電流を半減してPFD信号モニタに戻る(S4→S5→S6→S3)。し、LOCK=LならばS5に進む。

【0031】(5)S4で、PFDのUP/DW信号のNサイクルをモニタした結果、LOCK=LでかつUP=Lならば、ICOへ供給する電流を2倍しPFDの信号モニタに戻る(S4→S5→S7→S3)。

【0032】(6)S4で、PFDのUP/DW信号のNサイクルをモニタした結果、LOCK=Hならばキャリブレーションを終了する。

【0033】この様に(3)から(5)のフローを繰り返すことで最適電流へあわせていく。

【0034】以上のフローは発振中心周波数のみをあわせる場合で、ロックレンジを広くとれるアプリケーションに適する。狭いロックレンジの場合はICOゲインのプロセス変動を電流量で調整するために、ICO単体の電流だけでなくロックレンジを決める電流のキャリブレーションが必要となる。

【0035】ICOのゲインキャリブレーションも行う周波数キャリブレーションの動作フローを図7の周波数キャリブレーションのプロチャートを参照して以下に説明する。

【0036】(1)電源投入またはリセット解除する(ステップ(S)11)。

【0037】(2)初期状態設定。すなわち、ICOのロックレンジを決める gmセルへの入力電圧VIC0を0.5Vとし、基準周波数入力finを $f_{in}=(f_{lock})1$ とする。(flock)1はロックレンジ内の最小周波数を表わす(S12)。

【0038】(3)PFD(位相周波数検出器)のUP/DW信号をモニタする(S13)。

【0039】(4)S14で、PFDの信号のNサイクルをモニタした結果、LOCK=LでかつUP=Hならば、ICOへ供給する電流を半減してPFD信号モニタに戻る(S14→S15→S16→S13)。

【0040】(5)S14で、PFDの信号のNサイクルをモニタした結果、LOCK=LでかつUP=Lならば、ICOへ供給する電流を2倍しPFDの信号モニタに戻る(S14→S15→S17→S13)。

【0041】(6)S14で、PFDの信号のNサイクルをモニタした結果、LOCK=Hならば以下の様に設定を変えてロックレンジの上限を決めるキャリブレーションを行う。

【0042】ICOロックレンジを決める gmセルへの入力VIC0をVIC0=1.5Vとする。

【0043】基準周波数入力finを $f_{in}=(f_{lock})h$ 。(flock)hはロックレンジ内の最大周波数を表わす。(S18)

(7)PFD(位相周波数検出器)のUP/DW信号をモニタする(S19)。

【0044】(8)S20で、PFDの信号のNサイクルをモニタした結果、LOCK=LでかつUP=Hならば、gmセルへ供給する電流を半減してPFD信号モニタに戻る(S20→S21→S22→S19)。

【0045】(9)S20で、PFDの信号のNサイクルをモニタした結果、LOCK=LでかつUP=Lならば、gmセルへ供給する電流を2倍しPFDの信号モニタに戻る(S20→S21→S23→S19)。

【0046】(10)S20で、PFDの信号のNサイクルをモニタした結果、LOCK=Hならばキャリブレーションを終了する。

【0047】この様に(3)から(5)を繰り返すことでロックレンジの下限にあわせ、さらに(7)から

(9)を繰り返すことでロックレンジの上限にあわせることができる。基準周波数が変えられないアプリケーションの場合、基準周波数を一定に保ち、分周比のmin/maxで電流をあわせることも可能である。

【0048】以上のように本発明はプロセス変動による中心周波数のばらつき及び発振器のゲインを、それらに供給する電流を最適化することにより、望ましいPLL回路特性を与えるものである。

【0049】(実施例2)シリアルインターフェースによらず、デジタル回路で構成したキャリブレーションコントロール回路の一例を図12に示す。キャリブレーション

(5) 開2000-49597 (P2000-495JL)

ョンコントロール回路以外の回路の構成は図8と同一である。gmセル、ICOの構成も実施例1と同一のものである。

【0050】図12のキャリブレーションコントロール回路26は、位相周波数検出器9からのUP出力をカウントするUPカウンタ27と、位相周波数検出器9からのDW出力をカウントするDWカウンタ28と、2つのカウンタ27、28の出力からPLL回路がロック状態か否かを判断し、ロック状態のときに検出信号を出力するロック検出回路29と、フレームサイクル発生回路30と、コンペア・ロジック回路31とから構成される。

【0051】フレームサイクル発生回路30は、UPカウンタ27、DWカウンタ28、ロック検出回路29等からきまるシステムの状態を更新するサイクルを発生する回路である。コンペア・ロジック回路31はUPカウンタ27、DWカウンタ28、ロック検出回路29の出力から現在の状態がUP/DW/LOCKのいずれかであるかを判断してgmセル11AおよびICO11Bに各々複数接続された電流源11C、11Dの各々をオン、オフして、gmセル11AおよびICO11Bに流れる電流を制御する電流制御ビットを設定する回路である。

【0052】以上のような構成によれば、キャリブレーション動作時において、コンペア・ロジック回路31はフレームサイクル発生回路30からのフレームサイクルの立ち上がりでシステムの状態を更新し、立ち下がりUP/DWカウンタ27、28をリセットする。このリセット動作で次のフレームに前のカウントの影響を及ぼさないようにしている。

【0053】なお図13にキャリブレーション動作のフローチャートの1例を示した。さらにロックレンジが狭いアプリケーションで必要となるゲインキャリブレーション動作のフローチャートの1例を図14に示す。

【0054】図13に示すように、キャリブレーション動作がスタートすると、フレームサイクル発生回路30からのフレームサイクルの立ち下がりUP/DWカウンタ27、28をリセットし(S31)、フレームサイクル発生回路30からのフレームサイクルの立ち上がりを持ち(S32)、ついで、S33で、UPカウンタ27のカウント値(UPcount)と、DWカウンタ28のカウント値(DWcount)とが共に、所定の範囲内であるか否かを判断する。すなわち、 $m < UPcount < n$ 、 $m < DWcount < n$ であるか否かを判断する( $m < n$ )。S33で $m < UPcount < n$ および $m < DWcount < n$ であるかの判断のうちの少なくとも一方がNoの判断であるときは、S34に進み、そこでUPcountがnより大きいかなかを判断する。即ち、UPcount>nかなかを判断する。

【0055】S34でUPcount>nであるならば、S35に進み、UP=Hをロック検出回路29から

コンペア・ロジック回路31に出力する。ついで、S36で、ICOに流れる電流Itを、 $It = It + I \times 2^i$ にし、S32に戻る。

【0056】S34でUPcount>nでなければ、S37に進み、DW=Hをロック検出回路29からコンペア・ロジック回路31に出力する。ついで、S38で、ICOに流れる電流Itを、 $It = It - I \times 2^i$ にし、S32に戻る。

【0057】S33で、 $m < UPcount < n$ および $m < DWcount < n$ であるかの判断の両方がYesの判断であるときは、S39に進み、そこでLOCK=Hをロック検出回路29からコンペア・ロジック回路31に出力し、キャリブレーション動作を終了する。

【0058】図14に示すように、キャリブレーション動作がスタートすると、まず、ロックレンジの下限を決めるためにICO11Bの電流Itの制御(S41~S48)を開始する。即ち、フレームサイクル発生回路30からのフレームサイクルの立ち下がりUP/DWカウンタ27、28をリセットし、且つ分周器13の分周比を最大にし(S41)、S42に進む。S42~S48までは、図13のS32~S38までと同様である。S43で $m < UPcount < n$ および $m < DWcount < n$ であるかの判断の両方がYesの判断であるときは、S49に進み、そこから、ロックレンジの上限を決めるためにgmセル11Aの電流Igmの制御(S49~S56)を開始する。S49ではフレームサイクル発生回路30からのフレームサイクルの立ち下がりUP/DWカウンタ27、28をリセットし、且つ分周器13の分周比を最小にし(S49)、S50に進む。なお、S49以降は、制御する対象がgmセルである以外は上記のICO11Bの制御と同様である。即ち、S54、S56で、 $Igm = Igm + I \times 2^i$ 、 $Igm = Igm - I \times 2^i$ とする以外は、上記S41~S48と同様である。そして、S51で、 $m < UPcount < n$ および $m < DWcount < n$ であるかの判断の両方がYesの判断であるときは、S57に進み、そこでLOCK=Hをロック検出回路29からコンペア・ロジック回路31に出力し、キャリブレーション動作を終了する。

【0059】以上説明してきたように、新規にPLL回路の電流を最適化するキャリブレーション回路を発明したことによりプロセス変動を電流量の調整で打ち消すことを可能にした。さらに本発明はロックレンジを最適化できるため、VCO(またはICO)ゲインを低く設定できるので、位相ノイズ特性の改善を可能にした。

【0060】

【発明の効果】以上説明したように、本発明によれば、発振手段、生成手段等は変更せずに、発振手段の中心周波数をロックレンジの中心にあわせることができるので、発振手段の感度を低く設定することができる。本発明によると位相ノイズ特性は悪化せずに、PLLシンセ

(6) 開2000-49597 (P2000-495)JL

サイザの位相ノイズ特性は向上することになる。

【図面の簡単な説明】

【図1】PLLシンセサイザの基本構成を示す図である。

【図2】従来の位相比較器の回路例を示す図である。

【図3】図2の回路のタイミングを示す図である。

【図4】従来の位相比較器とチャージポンプの接続例を示す図である。

【図5】図4の構成でのロック時のタイミングを示す図である。

【図6】本発明の周波数キャリブレーションのフローチャートを示す図である。

【図7】本発明のゲインキャリブレーションのフローチャートを示す図である。

【図8】本発明のPLLシンセサイザの構成を示す図である。

【図9】キャリブレーションコントロールの例を示す図

である。

【図10】gmセルの例を示す図である。

【図11】IC0の例を示す図である。

【図12】デジタル回路でキャリブレーションコントロールをする場合の例を示す図である。

【図13】キャリブレーションコントロールのフローチャートを示す図である。

【図14】ゲインキャリブレーションコントロールのフローチャートを示す図である。

【符号の説明】

9 位相周波数検出器 (PFD)

10 チャージポンプ (CP) 回路

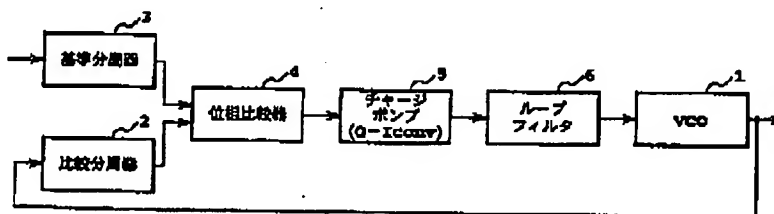
11 VCO

11A gmセル

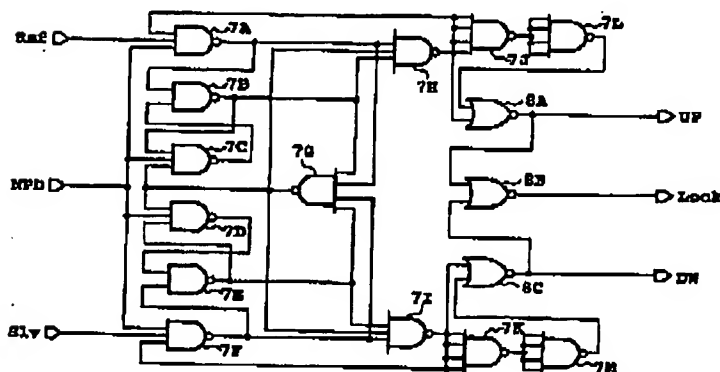
11B IC0

13 分周器

【図1】

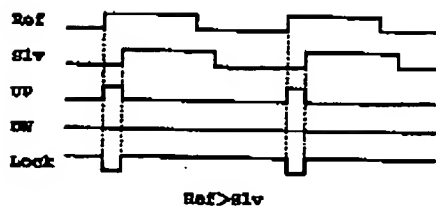


【図2】

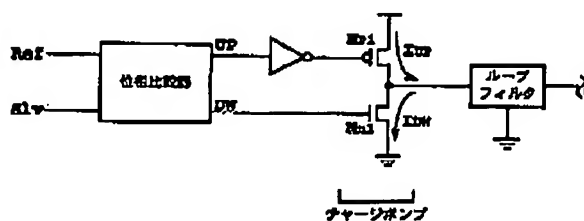


(7) 開2000-49597(P)2000-495WJ

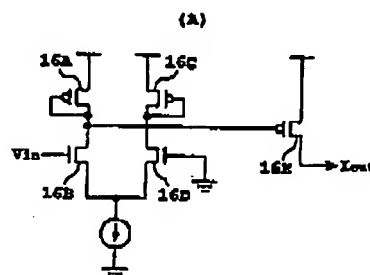
【図3】



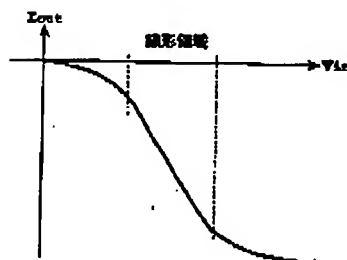
【図4】



【図10】

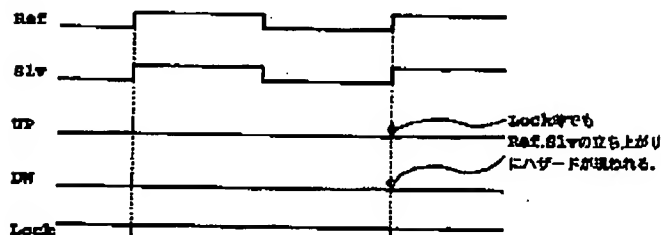


(B)

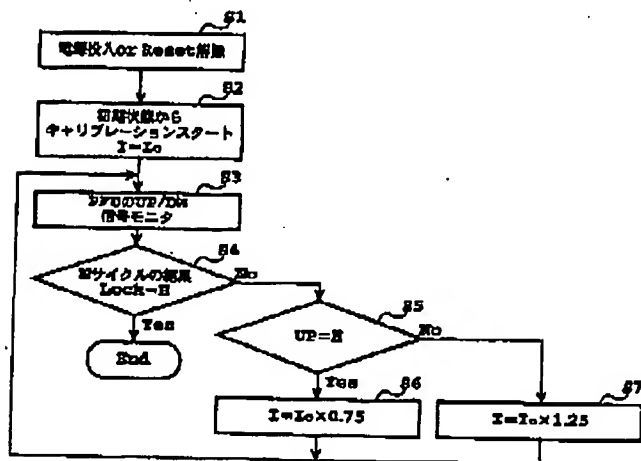


gmセルの特性

【図5】



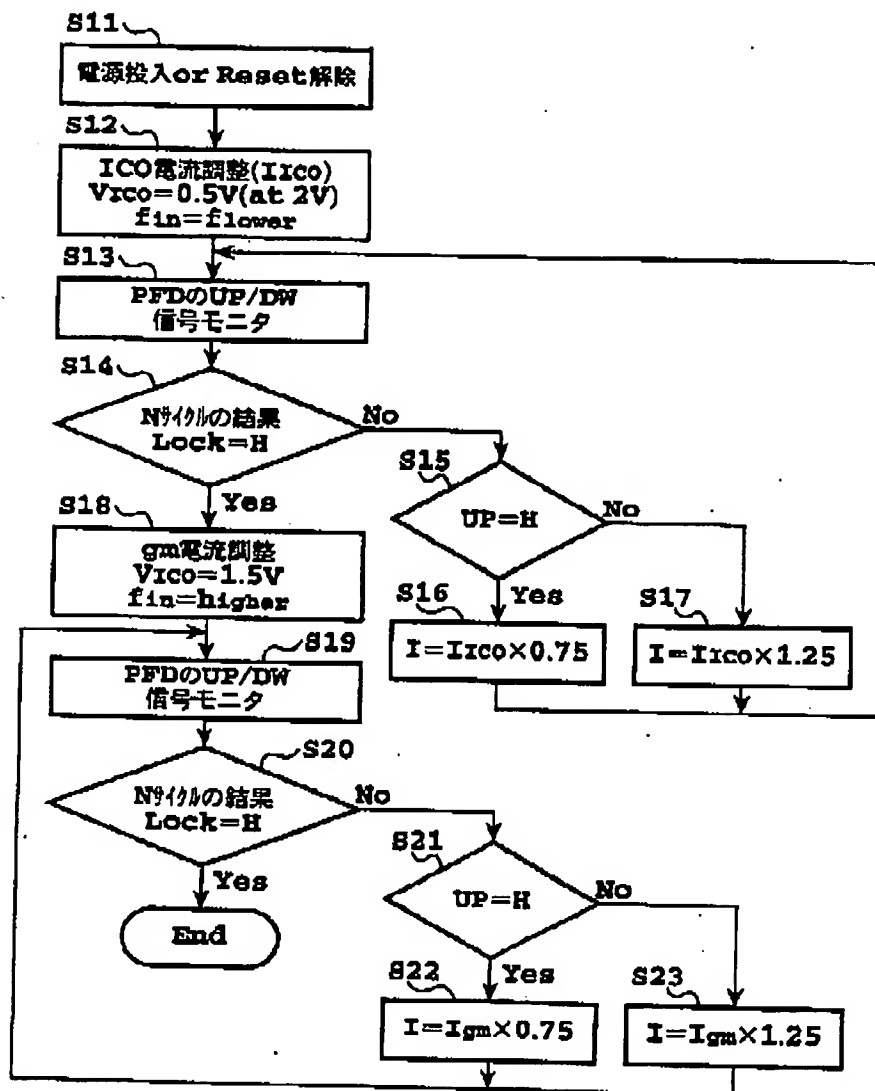
【図6】





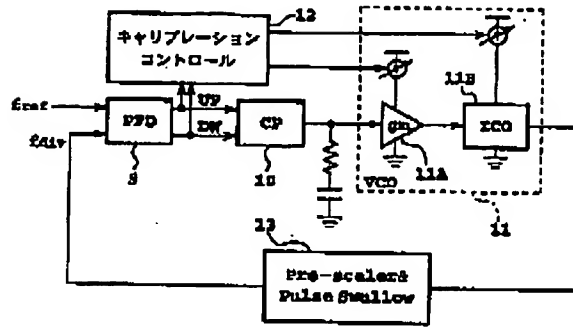
(8) 冊2000-49597 (P2000-495WL

【図7】

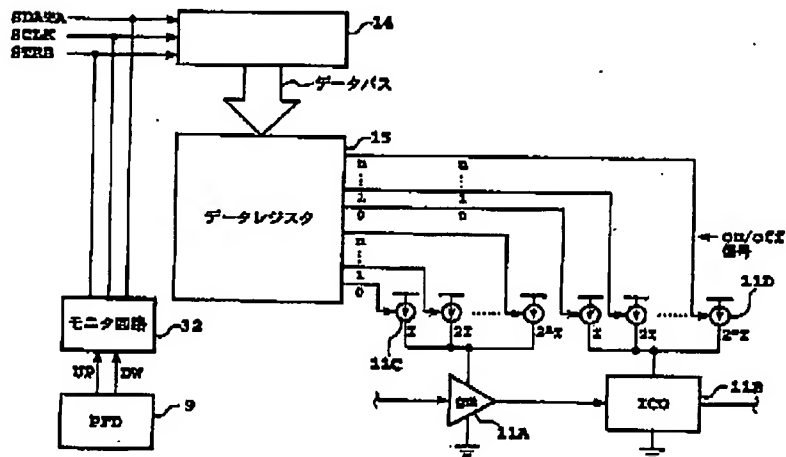


TM549-2000(P) 2000-49597 開 2000 (9)

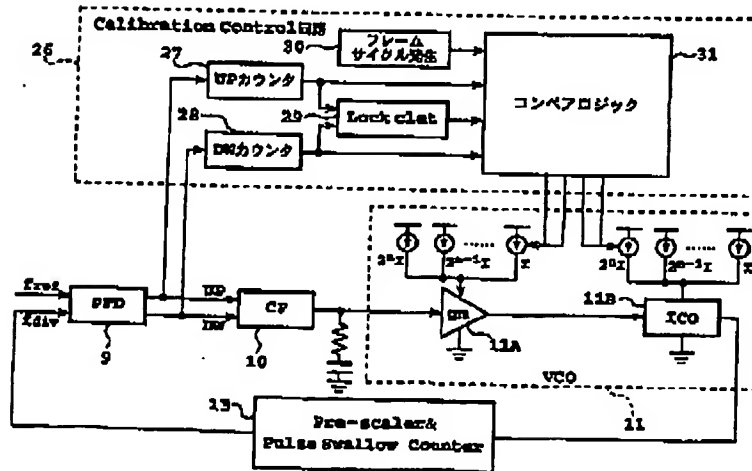
【図8】



【図9】

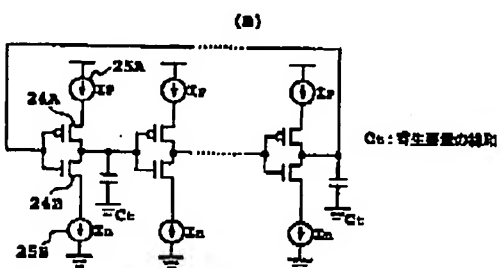
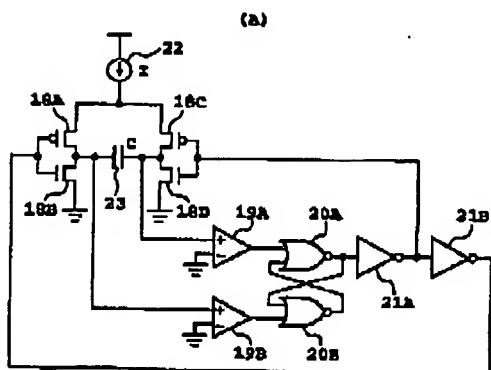


【図12】



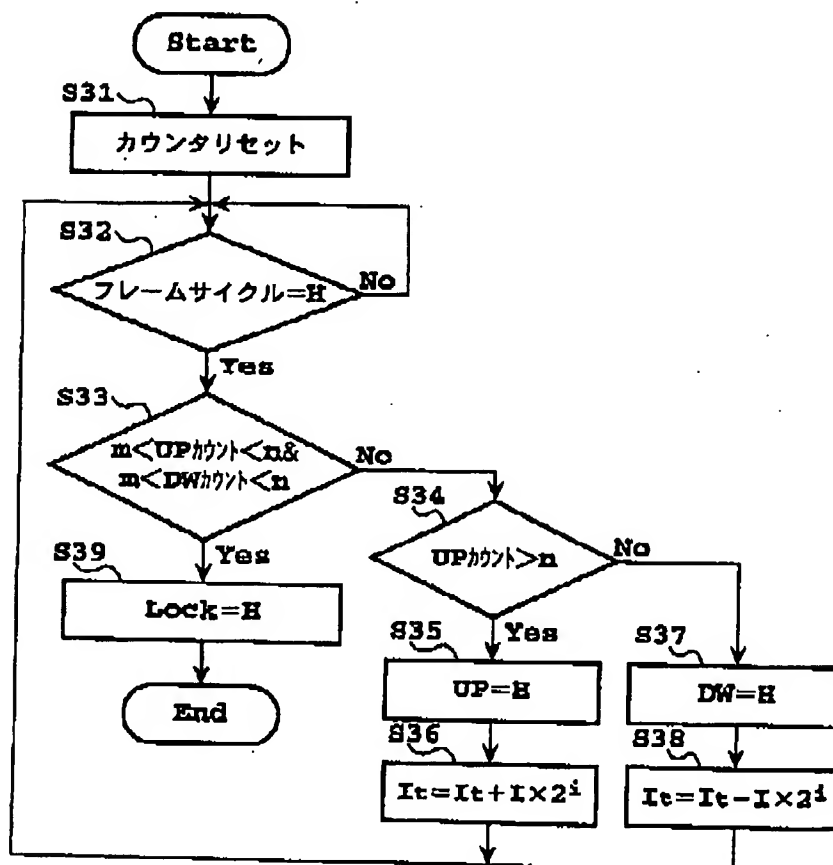
TM564-49597 (P) 7664-0002 (101)

【 1 1 】



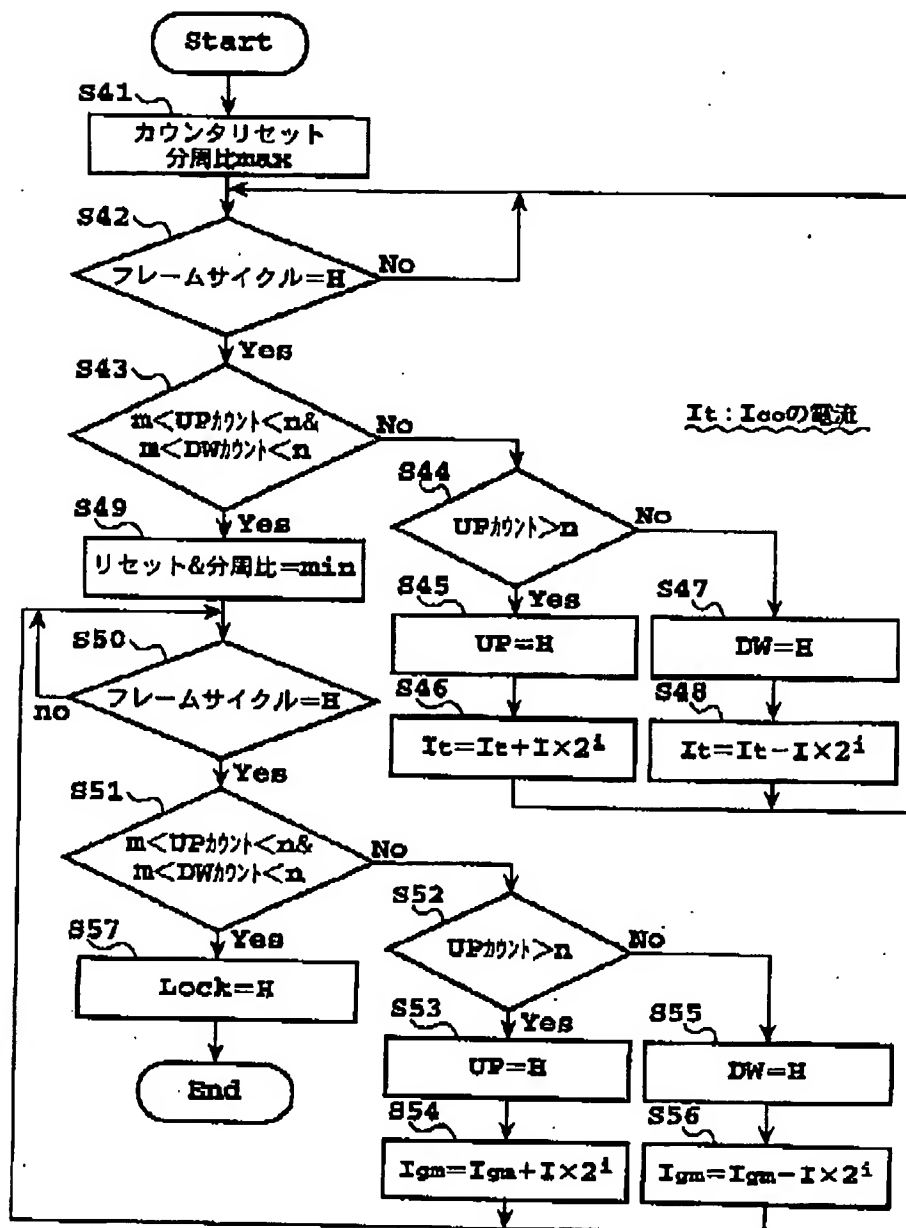
(11) #2000-49597 (P2000-495WL

【図13】



(12) 2000-49597 (P2000-49597)

【図14】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**